

# Tesis: Implementacion de un ecualizador de canal en el dominio de la frecuencia de alto throughput para el estándar 802.15.3c (FDE & FD-DFE)

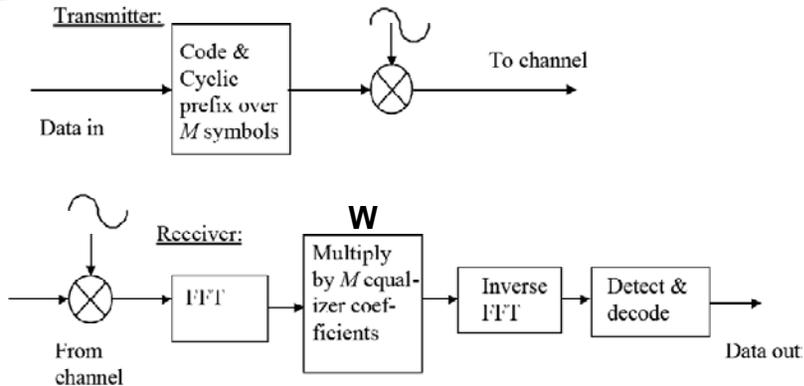


Fig 1. Sistema con ecualizador en el dominio de la frecuencia bajo el criterio MMSE (FDE)

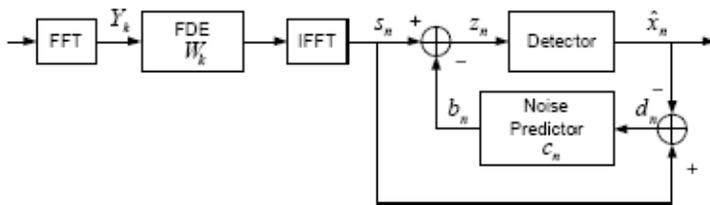


Fig 2. Refinamiento del FDE con una parte del filtrado en el dominio del tiempo (FD-DFE)

La banda de 60 GHz esta siendo estudiada para establecer normas para sistemas de comunicacion que operen en este rango de frecuencias con capacidades de transmisiòn del orden de Gbps.

Debido a la longitud de onda de esta banda de frecuencias, se hace mas notorio el fenomeno de *multitrayectorias* que significa que al enviar datos por el canal de comunicacion, no solo recibimos los datos enviados, sino que recibimos copias de diferentes tamaños de los mismos, debido a esto, los datos recibidos pueden ser erroneos.

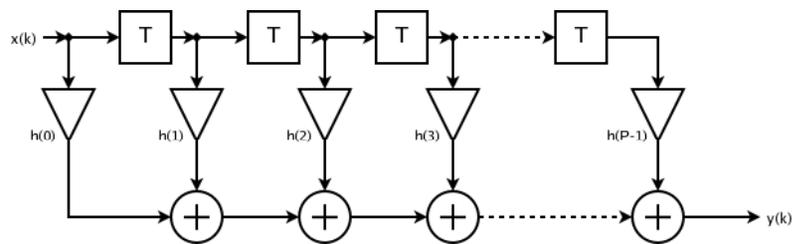
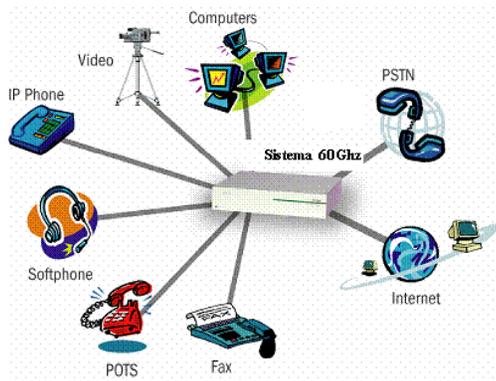
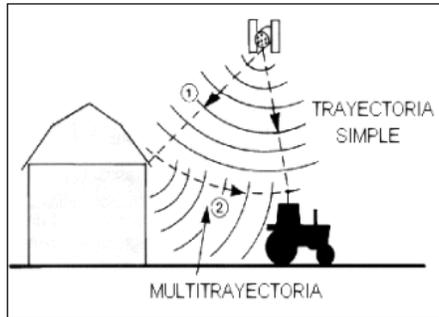
Para hacer frente a lo anterior, es necesario utilizar una tècnica conocida como *ecualizacion* o *igualaciòn de canal* que contrarresta el efecto de la multitrayectoria.

El ecualizador presentado (bloque **W**) està diseñaado en el dominio de la frecuencia bajo la premisa de minimizar el error en promedio entre los datos transmitidos y los datos que se obtienen del ecualizador (criterio **MMSE**). Su funcionamiento es simple, en vez de utilizar un filtro FIR en el tiempo, se transforma un bloque de datos a ecualizar al dominio de la frecuencia (*FFT*) y se realizan multiplicaciones complejas (*ecualizacion*) y posteriormente se regresa el bloque ecualizado al dominio del tiempo (*IFFT*).

El ecualizador esta pensado para que funcione con tasas de transmision en el rango de 1.7 – 7 Gbps y se utilice en el estandar 802.15.3c

**Estudiante: Roel Rodríguez Àvila**  
**Generaciòn: 2007-2009**  
**Asesores: Dr. Ramòn Parra M.**  
**Dr. Arturo Veloz G.**

# Tesis: Igualador de Canal en el dominio del Tiempo para Standard 802.15.3c



Cuando se transmite información por un medio inalámbrico, entre el receptor y transmisor por lo regular existen muchos obstáculos que desvían la señal transmitida y viajan por diferentes trayectoria hasta llegar al receptor. El efecto que se observa debido a este fenómeno es que si transmitimos un solo dato, en el receptor veremos que llegan replicas debido a la desviación de los obstáculos, y si nosotros mandáramos varios datos, lo que veríamos en el receptor seria que la información que recibimos esta totalmente mezclada. Una solución empleada para corregir este problema es la técnica conocida como igualación de canal, que consiste en diseñar un filtro que al pasar la información que se recibe por el, regrese un estimado de la información que originalmente se mando. Este tema de tesis presenta el diseño e implementación de un igualador de canal para el caso de especifico de sistemas de comunicación de 60 Ghz y que cumpla con los requerimientos solicitados en el Standard 802.15.3c entre los que se encuentran tasas de procesamiento de datos de 1.7Gbps a 7Gbps. Entre las actividades desarrolladas en la tesis están el modelado matemático de los algoritmos de igualación de canal, su simulación en computadora, el diseño de arquitecturas optimas y su implementación en hardware.

**Estudiante: Jose Luis Pizano Escalante**

**Generación: 2007-2009**

**Asesor: Dr. Ramon Parra Michel**



# Tesis: Arquitecturas VLSI para Turbo-Códigos Adaptadas al Estándar de Comunicaciones Móviles WCDMA (3GPP TS 25.212)

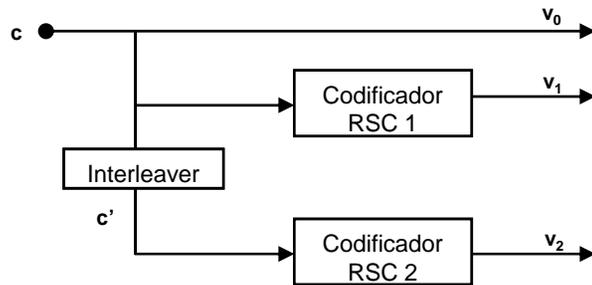


Figura 1. Esquema de un Turbo codificador (Tasa 1/3).

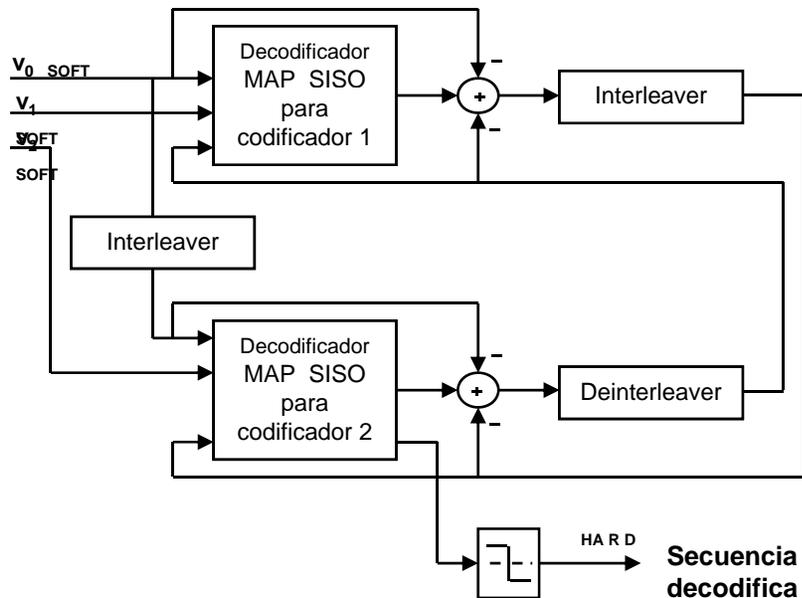


Figura 2. Esquema de un Turbo decodificador.

Este trabajo presenta el desarrollo de la implementación de un turbo decodificador adaptado al estándar 3GPP en un dispositivo FPGA. Como sabemos, los turbo códigos son uno de los desarrollos más importantes dentro de la codificación de canal y están logrando alcanzar los límites teóricos planteados por Shannon. Para su implementación se realizaron diferentes estudios y análisis.

Los decodificadores que componen al turbo decodificador tienen la misma arquitectura y para ellos se usó el algoritmo Log-MAP. Uno de los análisis que se requiere es determinar un método de normalización (en el caso de overflow). Otro análisis también muy importante es el determinar el mínimo número de bits necesarios en la arquitectura. Los resultados de BER que se obtuvieron para una arquitectura en punto fijo comparados a los de una simulación en punto flotante son muy similares, por lo que no se tiene una pérdida considerable, tenemos que para SNR= 1dB alcanzamos probabilidades de error del orden de  $10e-6$ .

**Estudiante: Anabel Morales Cortés y Héctor Borrayo**  
**Generación: 2006-2008**  
**Asesor: Dr. Ramón Parra Michel, Dr. Luis F. González Pérez.**

**Publicado como :**

“Finite Precision Analysis of the 3GPP Standard Turbo Decoder for Fixed Point Implementation in FPGA Devices”.

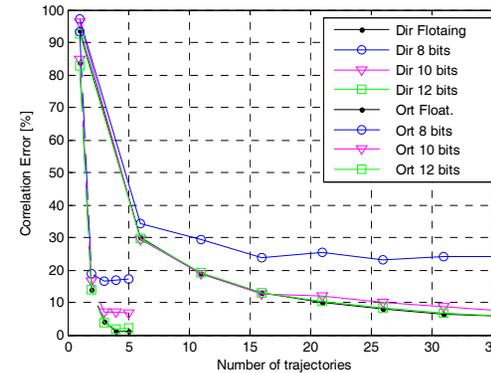
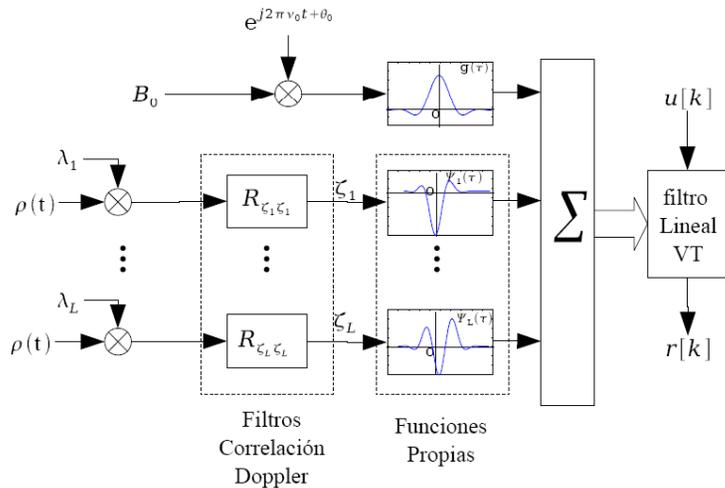
A Morales, L. F. González, R. Parra M.

[2008 International Conference on ReConfigurable Computing and FPGAs \(ReConFig 2008\).](#)

Cancún, Mexico. Dic. 3-5 2008.



# Tesis: Implementación Eficiente de Emuladores de Canal con Funciones de Dispersión Separables

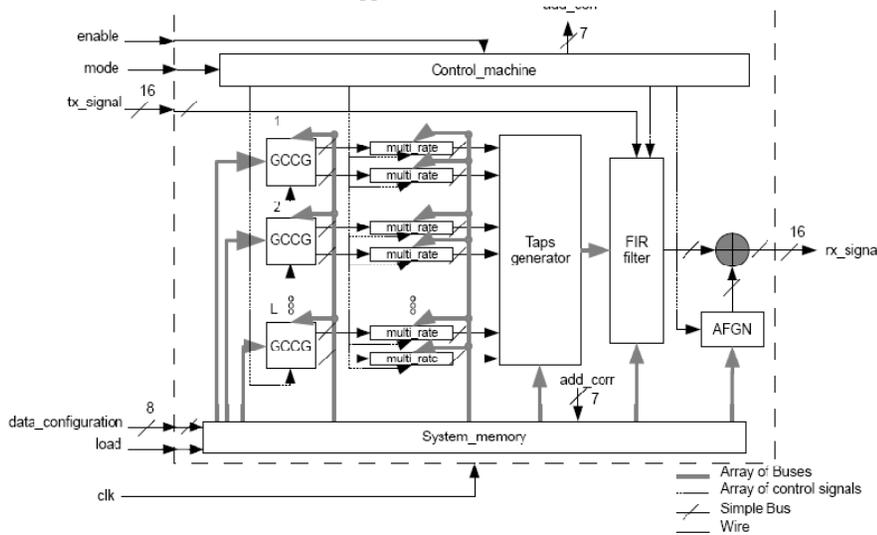


En este tesis se desarrolla una arquitectura para un emulador de canal de banda amplia, se encuentra la profundidad de bit de las variables, sistemas y demás parámetros que permiten un desempeño comparable a una implementación de punto flotante. A diferencia de las implementaciones típicas (implementaciones directas) esta arquitectura garantiza un MSE predefinido además que la complejidad de esta técnica es una séptima parte de las implementaciones tradicionales.

**Estudiante: Ivan de Jesus Loyola Espinoza**  
**Generación: 2005-2007**  
**Asesor: Dr. Ramón Parra, Dr Aldo Orozco**

## Publicaciones :

I. J. Loyola-Espinoza, A. Alcocer-Ochoa, R. Parra-Michel, A. G. Orozco-Lugo & V. Kontorovitch  
 An Efficient Wideband Channel Emulator Based on Orthogonal Function Expansion  
 Proceedings of the IEEE Int. Conf. on Wireless Communication, Networking and Mobile Computing WICOM, October 2008, in Delian, China..



# Tesis: Implementación de la sección Banda Base y Sistema de Navegación de un Receptor GPS

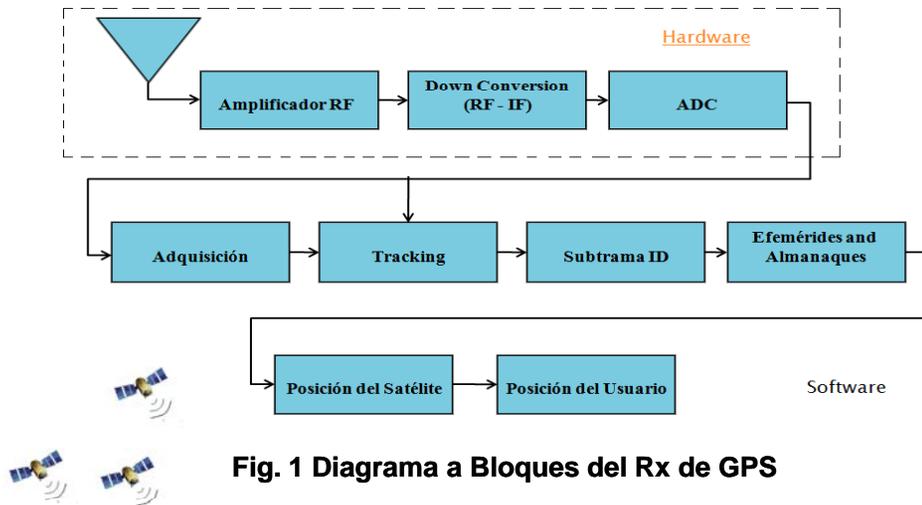


Fig. 1 Diagrama a Bloques del Rx de GPS

Este trabajo presenta el desarrollo de un receptor de GPS en sus bloques principales banda base y sistema de navegación (FIGURA\_1). El objetivo principal de este trabajo es realizar simulaciones de alto nivel con la herramienta Matlab, así como la realización de dicho software con precisión finita permitiendo de ésta manera la implementación en lenguaje HDL para su posterior adaptación al FPGA Cyclone II de Altera y su asociación con la tarjeta de evaluación del Front-End MAX2769; esto, con el fin de obtener mediante un procesamiento de datos las coordenadas de la posición del usuario, y del satélite como se muestra en la FIGURA\_2.



Fig. 2 Diagrama de implementación del GPS

**Estudiante:** Blanca Isabel Gea García

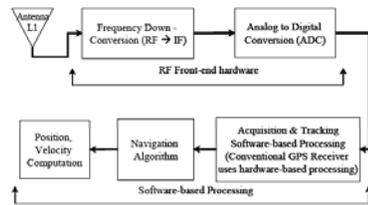
**Generación:** 2007-2009

**Asesores:** Dr. Ramón Parra Michel

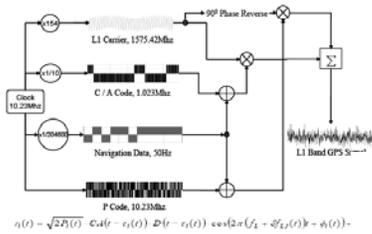
Dr. Mariano Aguirre Hernández



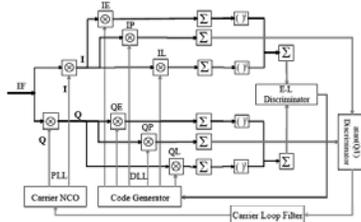
# Tesis: Implementación en FPGA de la sección de banda base de un receptor GPS



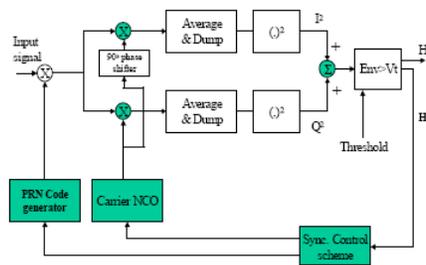
Arquitectura del GPS Basada en Software



Generación de la señal L1 del GPS



Bloques de Tracking de la señal.



Bloques de Adquisición de la señal.

En este proyecto se pretende implementar arquitectura de un receptor GPS con procesamiento basado en software.

Esto comprende primeramente la elaboración de la señal L1 emitida por los satélites, la simulación de las etapas del GPS: Adquisición, Tracking, Sincronización de bit, Sincronización de Trama, un algoritmo de los datos de navegación, algoritmo para calcular la posición y velocidad, todo basado en MATLAB.

Posteriormente se implementaran todos los bloques en un FPGA, es necesario contar con una tarjeta de conversión de frecuencia de RF a IF.

**Estudiante: Brisa Baltazar**  
**Generación: 2007-2009**  
**Asesor: Dr. Ramón Parra**  
**Dr. Mariano Aguirre (Intel)**



# Diseño e implementación de la Sección Digital de un Tag de RFID en la banda de 900MHz utilizando Tecnología CMOS de 0.5μm

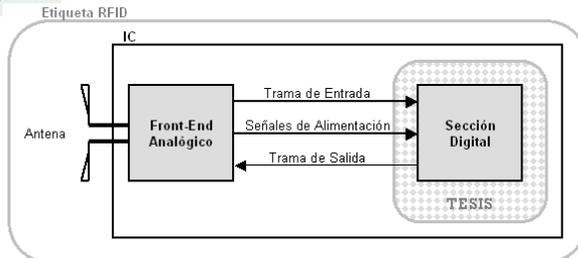


Fig. 1: Tag de RFID.

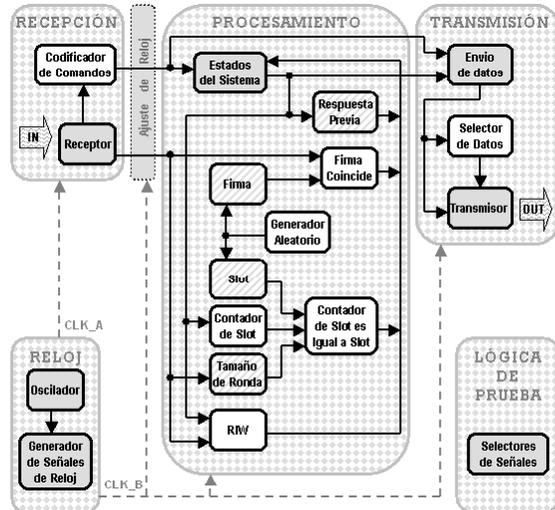


Fig. 2: Arquitectura del Proyecto.

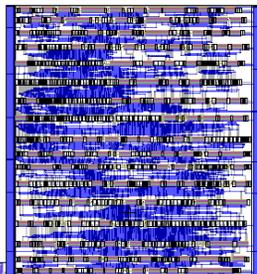


Fig. 3: Layout del Sistema Proyecto.

Este proyecto es una sección para una etiqueta (o Tag) de RFID en UHF completamente funcional, utilizando el protocolo de comunicación de acuerdo al estándar ISO/IEC 18000-6 parte A.

Estos dispositivos constan de un circuito integrado (IC) conectado a una antena, por medio de la cual se utiliza comunicación por radio frecuencia para recibir y transmitir información. Dicho circuito se compone internamente de un front-end analógico y de una sección digital de procesamiento (Fig. 1). El front-end analógico es la interfaz entre la antena y la sección de procesamiento de la información (etapa digital). La sección digital se encarga de comprender y procesar la información recibida por el Front-End analógico y generar una respuesta de acuerdo a un protocolo establecido, regresándola de vuelta a la sección analógica para su transmisión, es la parte digital precisamente la desarrollada en esta tesis.

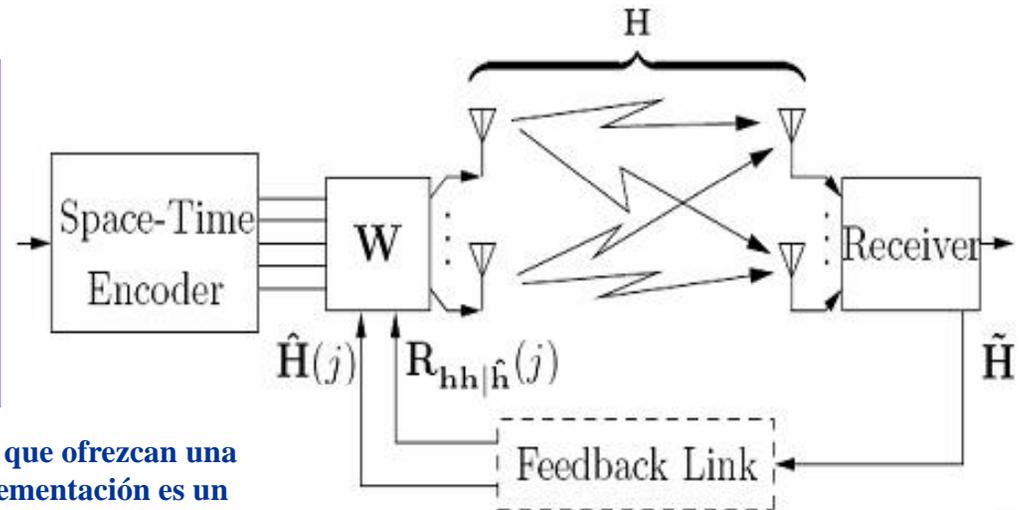
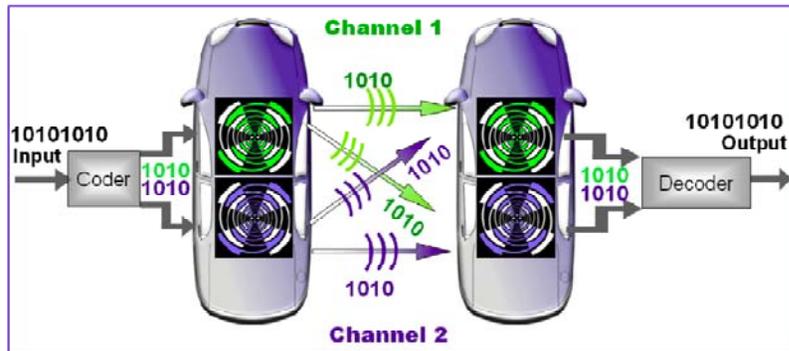
En el trabajo realizado se presenta:

- Arquitectura del sistema y diseño de cada uno de los bloques (Fig. 2).
- Arquitectura y diseño de un lector de prueba (circuito digital que sirve como cama de pruebas para el proyecto).
- Diseño del bloque analógico del oscilador.
- Layout de todo el sistema (Fig. 3), obtenido a partir del diseño digital, junto con el layout manual realizado para el bloque del oscilador.
- Simulaciones del correcto funcionamiento de todas las etapas en conjunto, así como análisis de consumo de potencia, área y frecuencia máxima de trabajo.

(T. CMOS de 0.5μm)	Sistema Digital	Oscilador a 400kHz
Potencia	5.4376μW	3.3μW
Área	1.116mm <sup>2</sup>	0.004mm <sup>2</sup>
Max Frec.	60MHz	400kHz

**Estudiante:** Omar Roberto Ávila López  
**Generación:** 2006-2008  
**Asesores:** Dr. Ramón Parra Michel  
 Dr. Federico Sandoval Ibarra

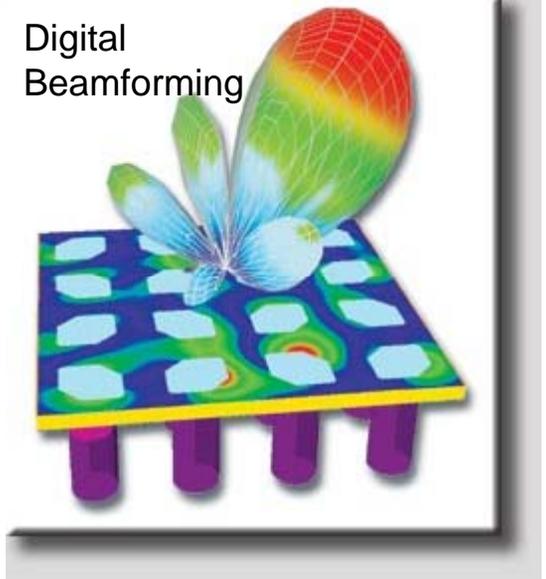
# Técnicas de comunicaciones Espacio-Temporales considerando canal MIMO correlacionado y su expansión ortogonal.



•En la actualidad, la creación de SisCom MIMO inalámbricos que ofrezcan una mejor Calidad de Servicio y menor Complejidad para su implementación es un problema abierto de investigación. Para lograrlo es necesario considerar Modelos de Canal más genéricos que conduzcan a la creación de bloques de comunicación con mejor desempeño y/o menor complejidad.

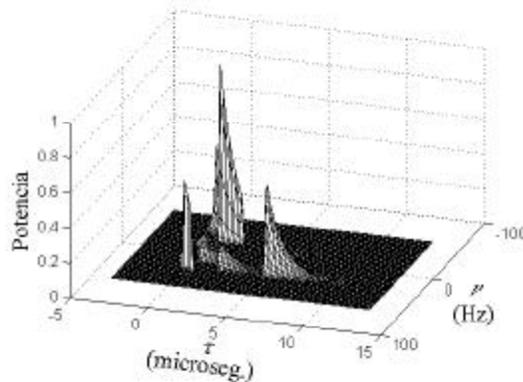
•Ejemplos de bloques que se abordan en esta tesis son:

- Precodificadores y Beamformers
- Estimador del Canal MIMO

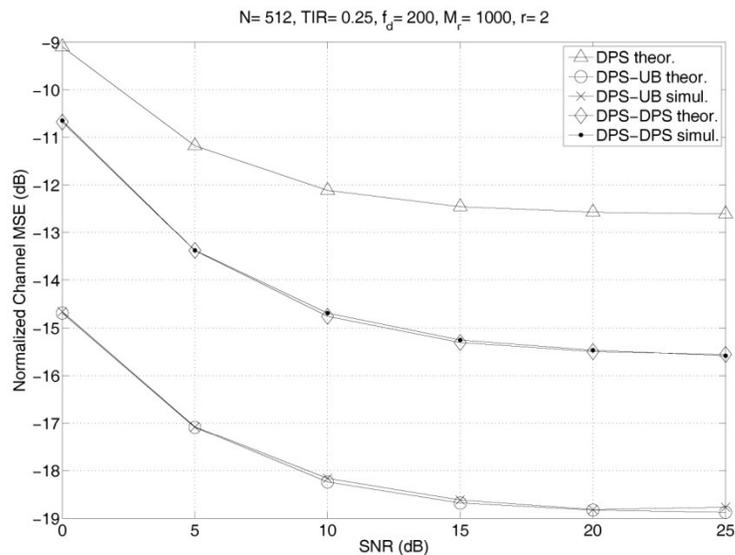




# Tesis: Estimación de canales variantes en tiempo de banda amplia



En este proyecto doctoral se trabaja bajo la línea de investigación de estimación de canales de comunicación variantes e invariantes en el tiempo utilizando conjuntamente entrenamiento implícito y proyección en bases. Las bases utilizadas son las secuencias discretas prolate esféricas para expandir las variaciones temporales del canal y las bases universales para proyectar en el dominio del retardo el canal. Esta selección se hace debido al conocimiento estadístico que tenemos del canal, siendo estas bases las mejores opciones. Tomando en cuenta lo anterior se ha obtenido una reducción del error de estimación cercana a 3dB comparado con las técnicas actuales de estimación.



**Estudiante: Roberto Carrasco Alvarez**

**Generación: 2006-2009**

**Asesores: Dr. Ramón Parra Michel**

**Dr. Aldo Orozco Lugo**

**Publicaciones:**

“Enhanced Channel Estimation Using Superimposed Training Based on Universal Basis Expansion”.

Carrasco-Alvarez, R. et al.

[IEEE Journal on signal processing](#), vol 57, pp 1217-1222, Mayo 2009.



# PhD Thesis: “Wideband MIMO Channel Modeling and its Proper Simulation”

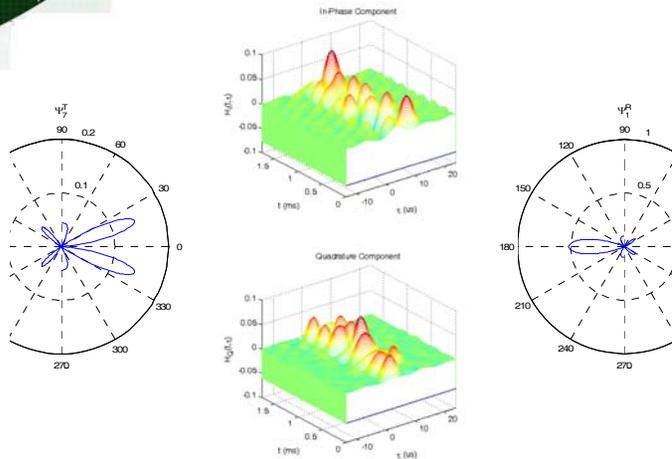


Fig. 1: Escenario de propagación.

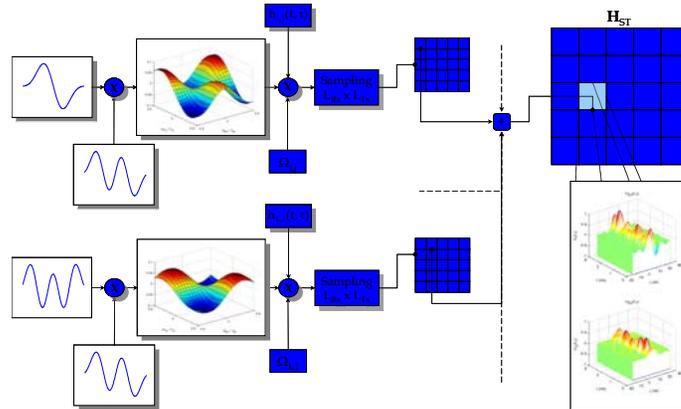


Fig. 2: Diagrama del emulador de canal MIMO

Este proyecto consistió en la investigación de un modelado de canal y un método de simulación eficiente para sistemas de Múltiples Entradas y Múltiples Salidas (MIMO).

Los sistemas MIMO son la tendencia en sistemas de comunicación actuales debido a la ganancia en capacidad de canal que pueden ofrecer. En este trabajo se propuso modelar el canal el método de ortogonalización, con lo cual se obtuvo :

- Trayectorias artificiales cuando el escenario provee un perfil de propagación continuo en los dominios de tiempo y tiempo de retardo.
- Modos de radiación artificiales en el dominio del angle de transmisión y recepción.

Se propusieron y usaron la base de Prolate Spheroidal Wave (PSW) para el método de ortogonalización, debido a que la base está completamente definida por los parámetros extremos del sistema de comunicaciones (tamaño del arreglo de antenas y del número de onda máximo para la parte espacial de cada lado del sistema, tiempo de retardo y ancho de banda para una de las variables temporales, y tiempo máximo de observación y frecuencia Doppler máxima para la otra variable de retardo).

Mediante este método se forman trayectorias artificiales entre el Transmisor al receptor, compuestos de trayectorias físicas en ángulo de salida, tiempo, tiempo de retardo y ángulo de llegada.

Un emulador de canal propuesto en la técnica mencionada permitió la reducción de cerca del 60% de componentes comparado con otras técnicas propuestas en la literatura.

**Estudiante:** Alberto Alcocer Ochoa  
**Generación:** 2004-2008  
**Asesores:** Dr. Ramón Parra Michel  
 Dr. Valeri Kontorovitch



# Tesis: Diseño de Arquitecturas Paralelas Reconfigurables para el Procesamiento de Señales Digitales

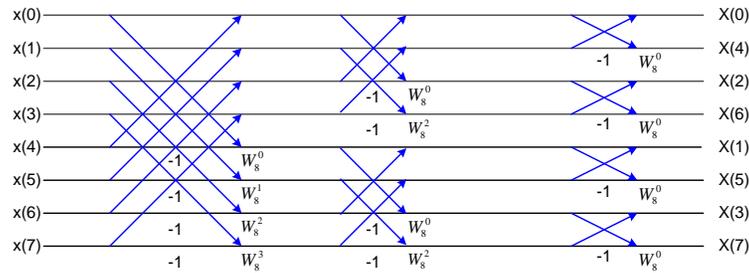


Figura 1: Algoritmo FFT DIF para 8 muestras

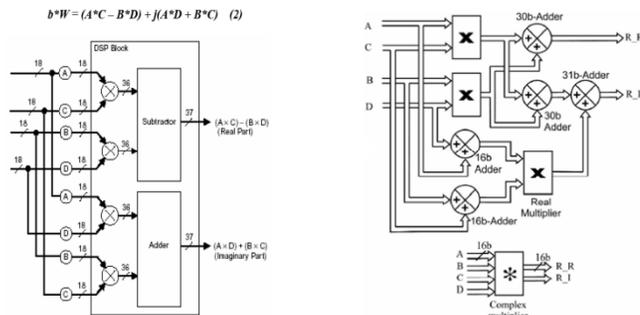


Figura 2: Configuraciones para multiplicadores complejos

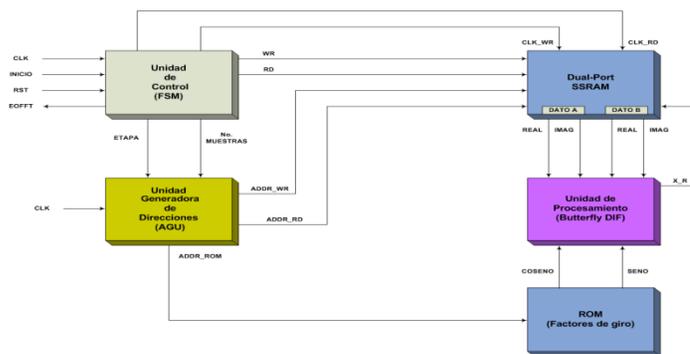


Figura 3: Diagrama a bloques para un procesador FFT

SE PLANTEA desarrollar una investigación sobre el diseño e implementación de arquitecturas de circuitos digitales que procesen información con gran desempeño, explotando el paralelismo implícito en la organización de los datos y en la estructura de los algoritmos de procesamiento digital, y que permitan modificar su funcionalidad en tiempo de operación,

El manejo de señales digitales, de cualquier índole, ha aumentado sus requerimientos de procesamiento al incrementarse los volúmenes de información involucrada, y la obvia necesidad de reducir el tiempo en el cual debe ser procesada. Incrementar la frecuencia de operación ya no es una opción válida, ya que está limitada por los retardos de propagación característicos de cada tecnología de fabricación, y en la mayoría de los casos por el consumo de potencia, la alternativa es realizar más cálculos de forma simultánea, llevando así a la realización de arquitecturas paralelas.

De tal forma este trabajo de tesis afrontará ambos campos de diseño, tomando las ventajas de aceleración de procesamiento de las arquitecturas paralelas, mientras se incorpora la flexibilidad de los sistemas reconfigurables para generalizar el uso de las arquitecturas propuestas, y disminuir su velocidad de obsolescencia.

El primer algoritmo con el que se trabajará será el de la FFT.

**Estudiante: Eduardo Romero Aguirre**

**Generación: 2009-2011**

**Asesores: Dr. Ramón Parra Michel (Cinvestav)**

**Dr. Mariano Aguirre H. (Intel Corp.)**

# Tesis: Modelado de Canales para Sistemas de Comunicaciones de Última Generación tipo MIMO

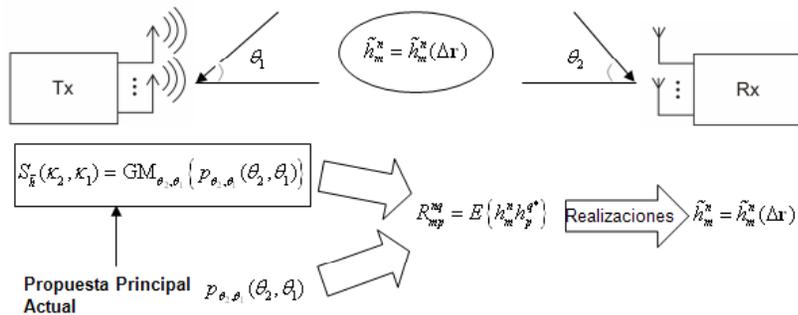


Figura 1: Especificaciones de nuevas funciones para modelar el canal en el dominio espacial

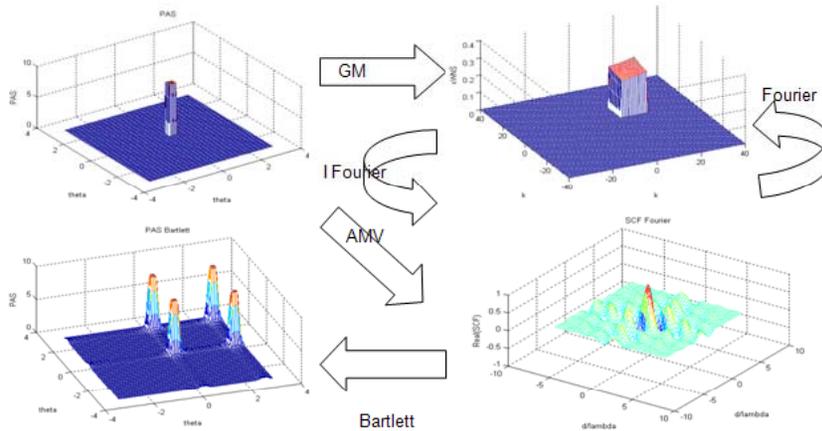


Figura 3: Relaciones entre las funciones del modelo de canal espacial

En el actual trabajo se realiza un análisis paramétrico de las funciones que permiten **Modelar el Medio Geométrico de propagación a partir de la Densidad Espectral de la potencia** transmitida/recibida a través del sistema de comunicaciones **MIMO**. Las condiciones establecidas en el modelo son independencia estadística entre transmisor y receptor (modelo de Kronecker), **selectividad espacial** y coherencia tanto temporal como frecuencial; específicamente se trabaja con geometrías lineales de los arreglos de antenas en ambos extremos del enlace. Dado el supuesto de estadísticas gaussianas, la **Función Espacial de Correlación** nos ofrece la información suficiente para modelar el canal de propagación deseado y por medio de tal esquema poder hacer realizaciones usando algoritmos de simulación de baja complejidad computacional.

La aportación presente se encuentra la propuesta de una **Transformación entre funciones que describen la densidad de potencia mediante dominios distintos**, el angular (Espectro Angular de Potencia) y el wavenumber (Espectro en el Wavenumber), la cual no se encuentra reportada en la literatura.

El trabajo continúa en desarrollo con miras a la inclusión de mayor número de variables en el marco de análisis (de principal interés resulta la **Triple Selectividad**) y así generar un modelado más realista y apegado a los estándares modernos de comunicación de la naturaleza prescrita.

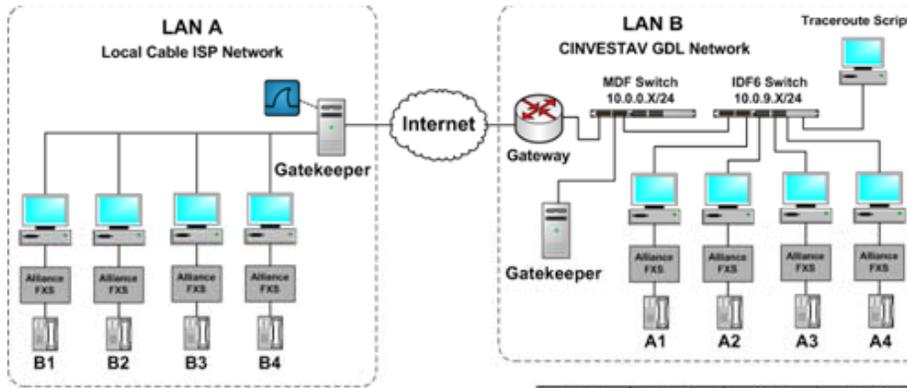
**Estudiante: Alberto E. Sánchez Hernández**

**Generación: 2007-2010**

**Asesores: Dr. Ramón Parra Michel (Cinvestav)**

**Dr. Miguel Bazdresch Sierra**

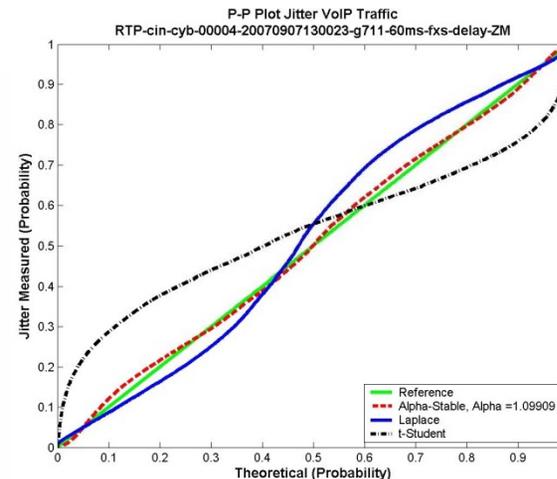
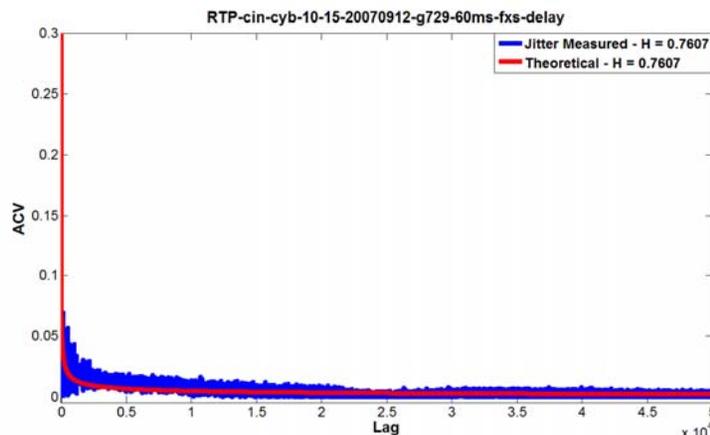
# Tesis: ANÁLISIS DE PARÁMETROS DE CALIDAD DE SERVICIO PARA VoIP



	A1/B1	A2/B2	A3/B3	A4/B4
SET 1	G711-10ms	G711-20ms	G711-40ms	G711-60ms
SET 2	G729-10ms	G729-20ms	G729-40ms	G729-60ms
SET 3	G711-10ms	G711-20ms	G729-10ms	G729-20ms
SET 4	G711-40ms	G711-60ms	G729-40ms	G729-60ms

Los objetivos de este trabajo son analizar y caracterizar el comportamiento de las principales métricas de desempeño (retardos y pérdidas de paquete) que determinan la calidad de servicio en sistemas VoIP y encontrar un modelo que satisfaga el comportamiento del tráfico de voz en Internet. Nuestros principales resultados son los siguientes:

- El Jitter de VoIP puede ser bien modelado por procesos autosimilares y distribuciones Heavy-Tail.
- Introducimos un nuevo parámetro (Parámetro de Hurst) para observar el comportamiento dinámico del Jitter como función de la pérdida de paquete.
- Encontramos que la relación entre el parámetro de Hurst y las pérdidas de paquete obedece una ley de potencia con tres parámetros de ajuste.

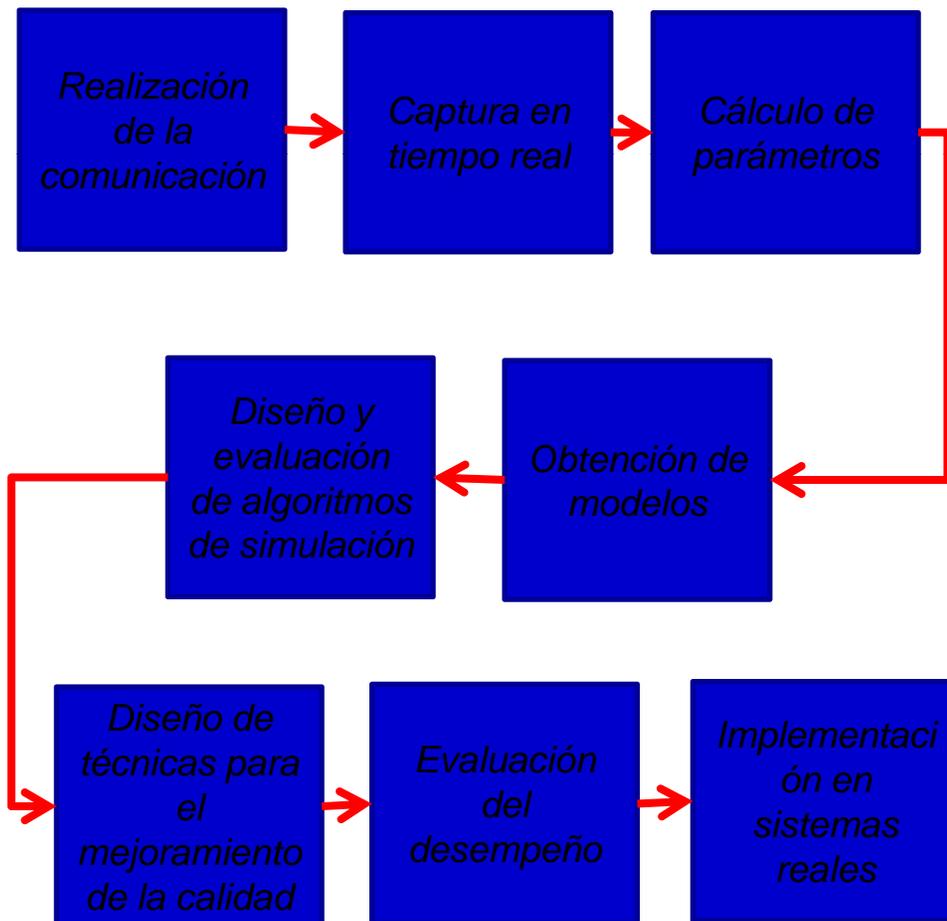


Estudiante: Homero Toral Cruz  
 Programa: Doctorado  
 Generación: 2007-2009  
 Asesor: Dr. Deni Torres



## Tesis: Análisis de series de tiempo mono- y multi-fractales con aplicación a mediciones de VoIP

### **METODOLOGÍA**



Este trabajo presenta una metodología para el análisis y la simulación de mediciones de voz sobre IP. En particular, se estudia el *Jitter* (variación) del retardo fuente-destino y sus efectos en el receptor. La metodología consiste en medición de características del tráfico de Internet correspondiente a llamadas reales de VoIP, cálculo de características y obtención de modelos, diseño de simuladores, evaluación del performance de éstos y, finalmente, diseño y evaluación de técnicas para el mejoramiento de la calidad de servicio (QoS).

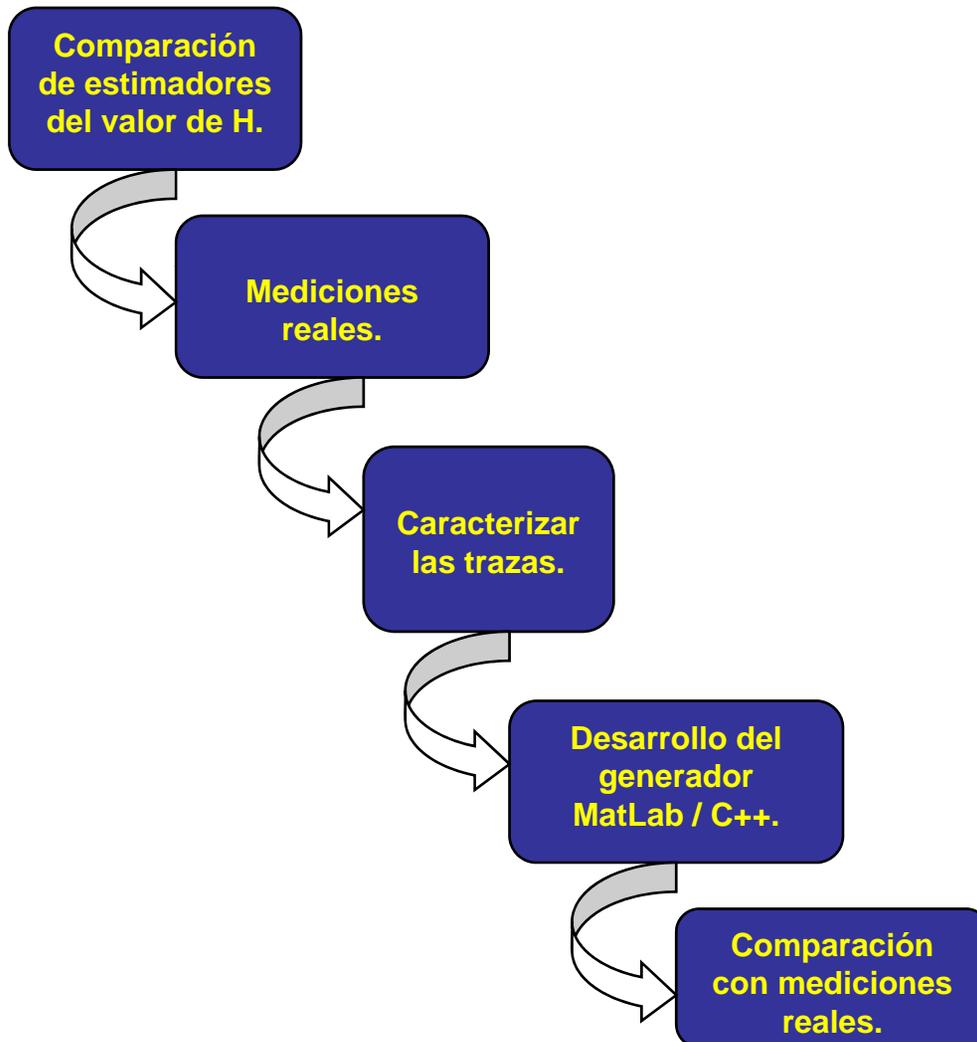
**Estudiante: Leopoldo Estrada Vargas**

**Programa: Doctorado**

**Generación: 2008-2010**

**Asesor: Dr. Deni L. Torres Román**

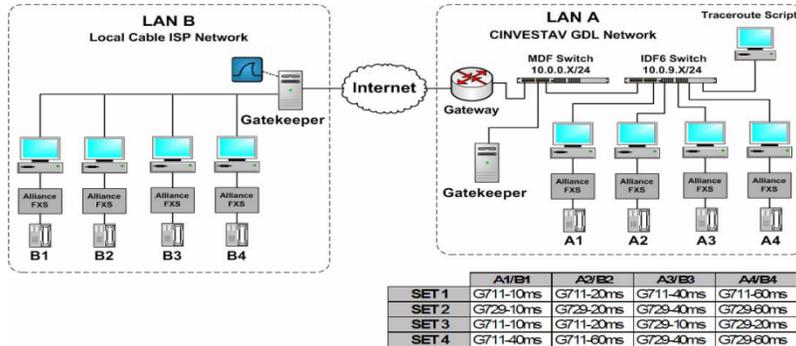
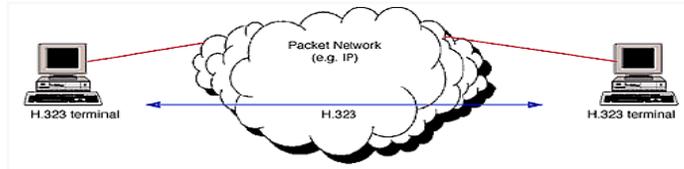
## Tesis: Análisis y síntesis de trazas de VoIP



Este trabajo presenta la implementación de un generador de trazas sintéticas. El generador será utilizado para disminuir el tiempo de mediciones en las características de las trazas de VoIP con una mejor estimación del parámetro de Hurst (H) por medio de wavelets. Las características presentadas que se obtendrán serán de las mediciones hechas con pruebas reales como el valor de H, el PLR, el IAT de diferentes escenarios. El generador será desarrollado en MatLab y C++.

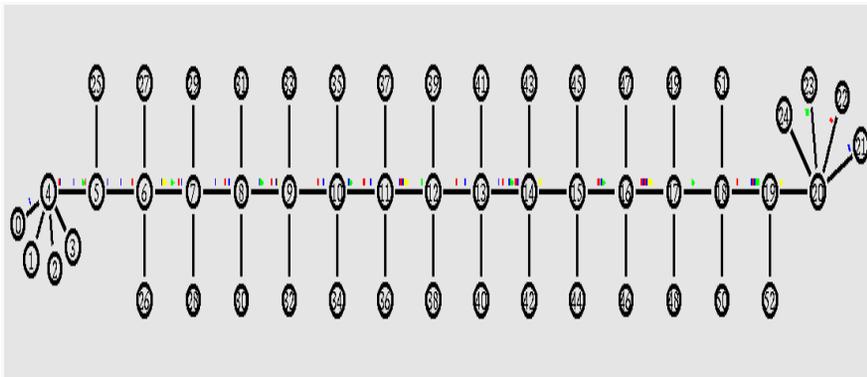
**Estudiante: Alejandro X. Vargas A.**  
**Generación: 2007-2009**  
**Asesor: Dr. Deni Torres Román**

# Tesis: SIMULACION DEL COMPORTAMIENTO DEL JITTER CON DISTINTOS ESCENARIOS PARA LA APLICACIÓN DE VoIP



En este trabajo se presenta la simulación del comportamiento del JITTER en diversos escenarios de redes de VoIP, analizando los resultados obtenidos en la simulación para obtención de las pérdidas, permitiendo la comparación con mediciones reales.

Estas simulaciones permite la predicción del rendimiento de la red obteniendo las capacidades de la misma y con esto la investigación y seguimiento del rendimiento de redes de VoIP.



Estudiante: Juan Rodrigo Vazquez Abarca.

Generación: 2007-2009

Asesor: Dr. Deni Librado Torres Román



# Implementación En Hardware De Algoritmos Para El Procesamiento De Imágenes

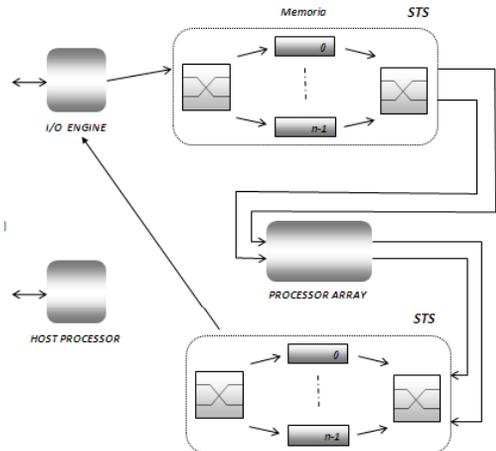


Figura 1. I/O Engine.

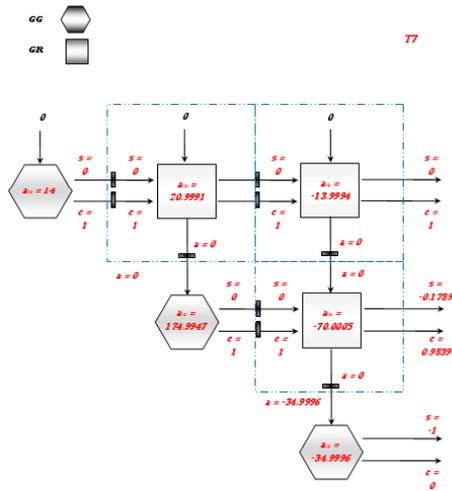


Figura 2. Arreglo sistólico Factorización QR.

Se presenta una Implementación de ciertos algoritmos básicos con aplicaciones al procesamiento de imágenes mediante Arreglos Sistólicos.

La metodología a seguir para lograr un algoritmo sistolizable consiste en la aplicación e los siguientes pasos:

- ✓ Cartesianization
- ✓ Uniformization (Single Assingment)
- ✓ Broadcast Removal

La arquitectura que se presenta esta basada en un pool de memoria conectado a varios arreglos sistólicos.

Se presenta un análisis de politopos para arreglos sistólicos, donde cada arreglo sistólico funciona como un coprocesador que procesa los datos almacenados en el pool de memorias para generar los datos hacia el Host Processor.

“Un Arreglo Sistólico es un dispositivo de computación paralela para una aplicación específica, que está constituido por gran número de elementos simples de procesamiento, interconectados de manera regular, con comunicación local”.

**Estudiante: Ricardo Gomez Ku**

**Generación: 2007-2009**

**Asesores: Dr. Deni Librado Torres , Dr. Manuel E. Guzmán Renteria.**

# Arquitectura eficiente para el procesamiento de imagen en Hardware

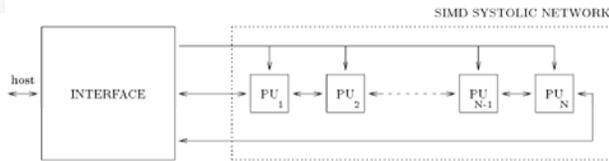


Figura 4. Red SIMD

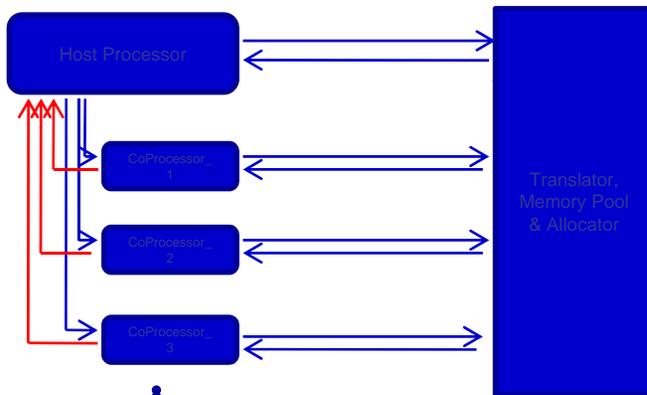


Figura 9. Arquitectura General de ejecución de los algoritmos de tratamiento de imagen.

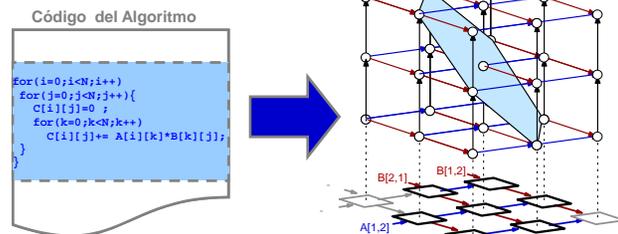


Figura 7. Arreglo sistólico de una matriz por otra matriz.

**SE PRESENTA** una arquitectura diseñada para ejecutar algoritmos de tratamiento de imágenes. La arquitectura que se presenta esta basada en un pool de memoria conectado a varios arreglos sistólicos.

Los algoritmos de tratamiento de imagen son por lo general procesando muchas operaciones con matrices, estos algoritmos tienen cualidades especiales, como homogeneidad en la lectura y escritura de datos, que los hacen sistolizables para su más rápida ejecución. Se presenta un análisis de politopos para arreglos sistólicos, donde cada arreglo sistólico funciona como un coprocesador que procesa los datos almacenados en el pool de memorias para generar los datos hacia el Host Processor.

La arquitectura de manejo de memoria esta pensada para acelerar la transferencia de datos del Host Processos a los arreglos sistólicos y viceversa, pudiendo usarse para otros esquemas de procesamiento.

**Estudiante: Manuel O. Martínez Escalante**

**Generación: 2007-2009**

**Asesores: Dr. Deni Torres , Dr. Manuel Guzmán R.**



# Tesis: Desarrollo de Algoritmos Adaptivos Robustos para Procesamiento de Datos de Sensores Multi-Escala de Percepción Remota.

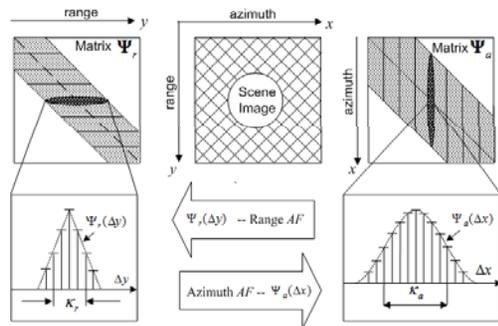


Figure 1. Matrices de Distorsión aplicadas a la imagen original.

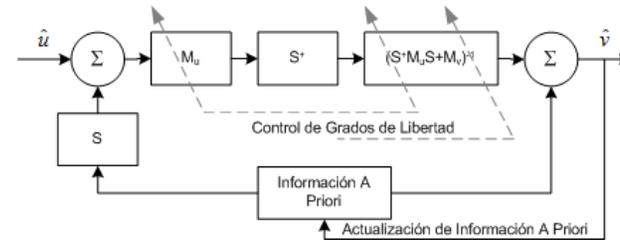
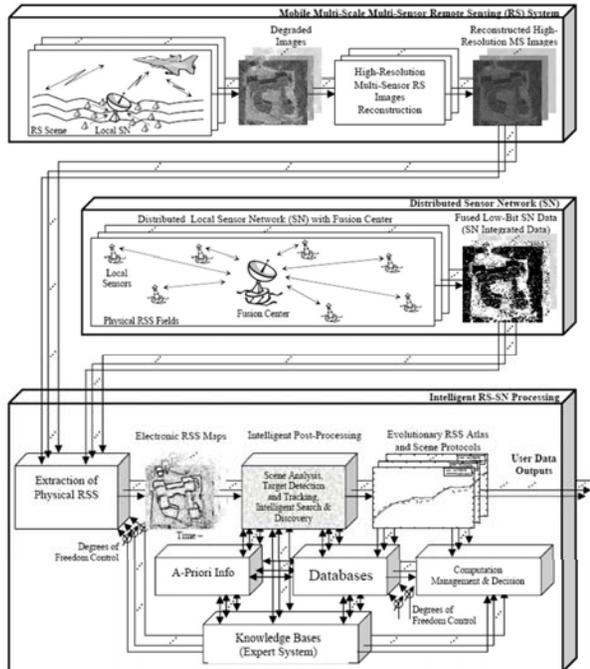


Figure 3. Proceso de Reconstrucción Iterativo Generalizado para los diferentes Métodos de estimación de Imagen.



Concepto Unificado de Procesamiento Inteligente RS  
Figure 2.

Este trabajo presenta una mejora de software existente para la evaluación a través de simulaciones numéricas de los algoritmos desarrollados y programas computacionales, que empleen el concepto del diseño de experimentos de la percepción remota (RS) para los sistemas fusionados RS-SN.

La Figura 2. muestra el concepto unificado de procesamiento inteligente RS a manera de diagrama de bloques para la adquisición de datos, procesamiento reconstructivo y colaborativo, extracción inteligente de firmas (RSS), trazo de escena y métodos para manejo de recursos computacionales así como su interrelación entre ellos.

**Estudiante: Stewart René Santos Arce.**  
**Generación: 2007-2009.**  
**Asesor: Dr. Yuriy Shkvarko Sosnoff.**



# Tesis: Desarrollo de algoritmos adaptivos robustos para procesamiento de datos de sensores multi-escala de percepción remota

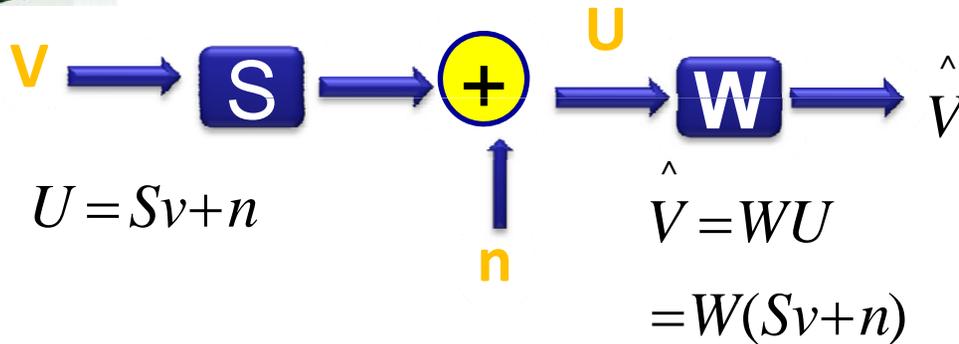
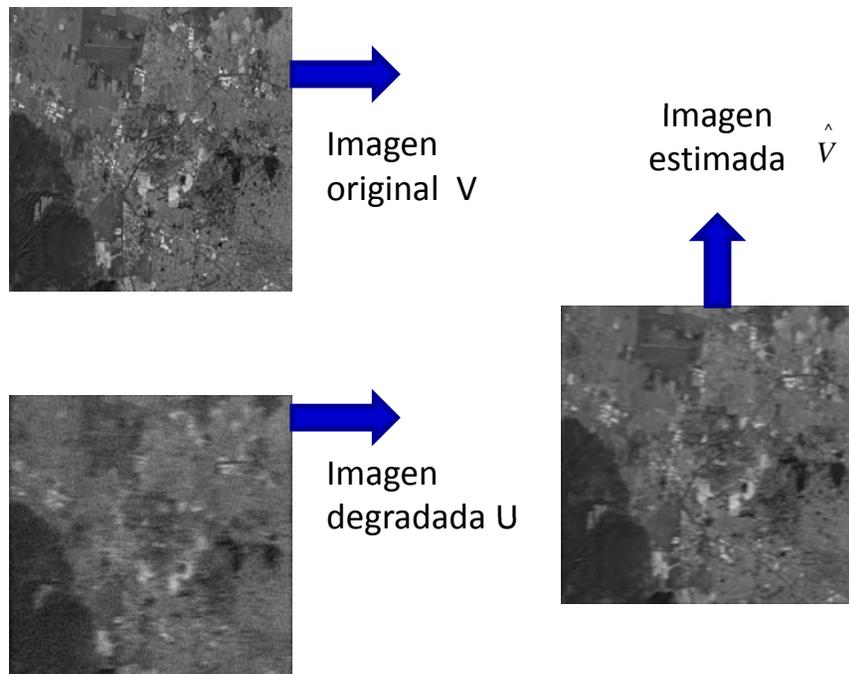


Fig1 . Modelado del problema.



**Este proyecto** está enfocado a la investigación y desarrollo de algoritmos de procesamiento de señales para sistemas de percepción remota con el propósito de rastreo, hallazgo y mapeo de diferentes rasgos del medio ambiente. Teniendo la característica de ser inteligentes en sentido de ser capaz de formar imágenes y mapas electrónicos del alta resolución del ambiente sensado en un modo óptimo adaptivo y robusto contra las incertidumbres del modelo del canal de propagación y del sistema de adquisición de datos. **El problema es el siguiente** al momento de trabajar con imágenes capturadas por algún dispositivo (satélite, radar, etc) la imagen capturada presenta degradaciones (S) por lo cual es necesario desarrollar y obtener un operador de solución (W) que nos permita restaurar la señal degradada (U) y obtener un estimado de la señal original (V). Las simulaciones y análisis se están implementando mediante el software MATLAB.

**Estudiante: José Tuxpan Vargas**

**Generación: 2007-2009**

**Asesor: Dr. Yuriy Shkvarko S.**